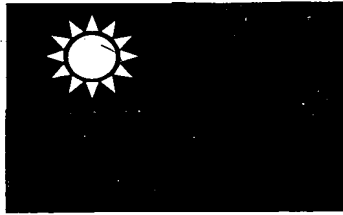


10758132

07-29-09



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 12 月 03 日

Application Date

申請案號：092134101

Application No.

申請人：中原大學

Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 5 月 6 日

Issue Date

發文字號：09320405310

Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：_____ ※IPC分類：_____

※ 申請日期：_____

壹、發明名稱

(中文) 非揮發性記憶體之製作與方法

(英文) Method of fabricating Non-volatile memory

貳、發明人(共 4 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 鄭湘原
(英文) Erik S. Jeng

住居所地址：(中文) 台北市中山區明水路 387 號 13 樓
(英文) 13Fl., No.387, Mingshuei Rd., Jungshan Chiu, Taipei, Taiwan,
R.O.C.

國籍：(中文) 中華民國 (英文) R.O.C.

參、申請人(共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名：(中文) 中原大學
(英文) Chung Yuan Christian University

住居所或營業所地址：(中文) 桃園縣中壢市普忠里普仁 22 號
(英文) No.22, Puren St, Jungli-City, Taoyuan, Taiwan, R.O.C.

國籍：(中文) 中華民國 (英文) R.O.C.

代表人：(中文) 熊慎幹
(英文) Shen-Kan HSIUNG

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 周武清



(英文) Wu-Ching CHOU

住居所地址：(中文) 桃園縣中壢市寧夏二街 14 巷 4 號

(英文) No. 4, Lane 14, Ningshia 2nd St., Jungli City, Taoyuan, Taiwan,

R.O.C.

國籍：(中文) 中華民國

(英文) R.O.C.

發明人 3

姓名：(中文) 洪志學



(英文) CHIH-HSUEH HUNG

住居所地址：(中文) 臺北市八德路 4 段 245 巷 32 弄 24 號 4 樓

(英文) 4Fl., No. 24, Alley 32, Lane 245, Sec. 4, Bade Rd., Sungshan

Chiu, Taipei City, Taiwan 105, R.O.C.

國籍：(中文) 中華民國

(英文) R.O.C.

發明人 4

姓名：(中文) 李建成



(英文) Chien-Cheng Li

住居所地址：(中文) 花蓮市中福路 86 號

(英文) No. 86, Jungfu Rd., Hualien City, Hualien, Taiwan, R.O.C.

國籍：(中文) 中華民國

(英文) R.O.C.

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 6

姓名：(中文)

(英文)

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

申請人 2

姓名或名稱：(中文)

(英文)

住居所或營業所地址：(中文)

(英文)

國籍：(中文)

(英文)

代表人：(中文)

(英文)

申請人 3

姓名或名稱：(中文)

(英文)

住居所或營業所地址：(中文)

(英文)

國籍：(中文)

(英文)

代表人：(中文)

(英文)

申請人 4

姓名或名稱：(中文)

(英文)

住居所或營業所地址：(中文)

(英文)

國籍：(中文)

(英文)

代表人：(中文)

(英文)

肆、中文發明摘要

一種非揮發性記憶體之製造方法及結構，係於一基底上形成一閘介電層，其中閘介電層具有至少兩層以上之不同材料層。由閘介電層上面植入至少一異質元素，以提高閘介電層之電子陷阱密度，接著去除閘介電層之最上面材料層後，再重新形成新的最上面材料層。最後閘介電層上形成一閘極層，並於閘介電層兩側之基底內分別形成一源/汲極。本發明在異質元素植入下，可使閘介電層內形成更易捕捉電子的井陷，因此電子不易隨著操作時間地增加而結合在一起，可有效延長保存時間及解決位元結合的問題。

伍、英文發明摘要

發明名稱：Manufacture method and structure of a Nonvolatile Memory.

The manufacturing method of a nonvolatile memory and its structure is achieved by building a gate dielectric layer on a base. The gate dielectric layer contains at least two layers of different material layers. At least one hetero element is planted on the top of the gate dielectric layer so as to increase the electronic trap density. Then rebuild a new top material after removing the upmost layer of material. Finally, build a gate electrode layer on the gate dielectric layer. In this invention, with the planting of the hetero element, it will form traps in the gate dielectric layer that can catch electrons more easily. Thus, the electrons won't combine together with the increase of operation time. The storage time can be effectively extended and the problem of the combination of bites can be solved.

陸、(一)、本案指定代表圖爲：第 3E 圖

(二)、本代表圖之元件代表符號簡單說明：

40：基底

42：閘介電層

44、50：氧化物層

46：電荷儲存層

52：閘極層

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

本發明是有關非揮發性記憶體(Non-volatile memory)的製造方法及結構，特別是有關捕捉電荷元件方式之快閃記憶體(Flash Memory)之製造方法及結構。

【先前技術】

近年來在半導體快速的發展，使得非揮發性記憶體技術大幅提昇，包括早期的唯讀記憶體(ROM)、程式化唯讀記憶體(PROM)，到近來發展到可抹除程式化記憶體 PROM)、電子式可抹除程式化記憶體(EEPROM)以及快閃記憶體。其中，快閃記憶體元件隨著可攜式的電子產品逐漸風行，且具有對於資料的隨時修改的特性，因此扮演的角色是愈來愈重要，在商業上具有更好的競爭優勢。

以非揮發性記憶體而論，有兩種不同結構同時存在，一為浮動閘元件(floating gate device)方式，另一則為電荷捕捉元件(charge trapping device)方式。如第 1 圖所示，為浮動閘元件方式之非揮發性記憶體架構，其記憶的方式為將電子儲存在浮動閘極(floating gate)10 上，使得臨界電壓產生位移並以此來判定記憶與否。

如第 2 圖繪示，為習知兩層的捕捉電荷元件方式之非揮發性記憶體架構。在下面的基底 20，例如為矽基底上，以兩層絕緣材料堆疊，包括以一氧化物層 22，例如使用二氧化矽(SiO_2)及一電荷儲存層 24，例如使用氮化矽(silicon nitride, Si_3N_4)或是氧化鋁(Al_2O_3)，以形成一閘介電層 26；但此閘介電層並不限只有兩層，亦可使用兩層以上之架構。最後在此閘介電層 26 上在形成一閘極 G，至於源極 S 與汲極 D 則位於閘介電層 26 兩側之基底 20 內部。上述電荷儲存層 24 具有高深電子陷阱密度(high deep-level trap density)，因此能有效抓住電子而達到儲存電荷的目的。

在此種捕捉電荷元件方式下，記憶體可在電荷儲存層 24 兩側分別儲存一個位元(即在一記憶胞內具有雙位元儲存)，相較於一般浮動閘元件式非揮發性記憶體，在一個記憶胞只能儲存一位元，因此在不改變記憶體尺寸下，可以有效提高記憶體容量。

然而，上述結構在保存時間(retention time)上卻是一大問題，因為底層氧化物層 22 在寫入時亦會有正電荷捕阱於其中，使得底層氧化物層 22 的能位障下降，讓捕捉在電荷儲存層 24 中的電子能較容易地穿隧過底層氧化物層 22，造成儲存電子的流失，進而使得保存時間下降。此外捕捉在電荷儲存層 24 中兩端的電子會隨著操作時間地增加，逐漸地的結合在一起，如此一來就失去了雙位元儲存的原意。

【內容】

有鑒於此，本發明的主要目的，在提出一種非揮發性記憶體之製造方法及結構，在電荷儲存層中加入異質元素，使得電荷儲存層具有比原先更深的電子陷阱密度，讓電子更能穩定地停留在電荷儲存層中而不易流失。

為讓本發明之上述目的及其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明提出一種非揮發性記憶體之製造方法，首先形成一閘介電層於一基底上，其中閘介電層具有至少兩層以上之不同材料層；接著由閘介電層上面植入至少一異質元素，以提高閘介電層之電子陷阱密度；去除閘介電層之最上面材料層後，再重新形成新的最上面材料層；最後形成一閘極層於閘介電層上，並形成一源/汲極於閘介電層兩側之基底內。

本發明提供一種非揮發性記憶體結構，包括：一基底；一閘介電層，位於基底上，閘介電層內具有提高其電子陷阱密度之至少一異質元素；一閘極層，位於於該閘介電層上；以及一源/汲極，位於該閘介電層兩側之基底內。

本發明之非揮發性記憶體的結構與方法，使閘介電層內具有至少一異質元素，例如鍺(Ge)、矽(Si)、氮(N₂)、氧(O₂)等或其合成物，因此可提高電子陷阱密度，且使儲存電子更穩定地停留在閘介電層，而達到延長保存時間及解決位元結合的問題。而重新再形成最上面之氧化物層，亦可確保電子更穩定地停留在閘介電層，不會由最上面之氧化物層流失。

本發明之特點即對捕捉電荷元件方式之非揮發性記憶體，在其電荷儲存層中植入至少一異質元素，例如以氮化物所形成的電荷儲存層佈值一些元素如：鍺(Ge)、矽(Si)、氮(N₂)、氧(O₂)等或其合成物，使得電荷儲存層形成更易捕捉電子的井陷，且電子不易隨著操作時間地增加而結合在一起，因此可以有效延長保存時間及有效的解決位元結合的問題。

如第 3A-3E 圖所示，本發明一較佳實施例的非揮發性記憶體製造方法。首先，在第 3A 圖中形成一基底 40，例如使用矽基底。接著，在第 3B 圖中，於基底 40 上形成一閘介電層 42，此閘介電層具有兩層以上之不同材料層，在本實施例中為三層材料層，由下而上依序形成一第一氧化物層 44、電荷儲存層 46 及一第二氧化物層 48，其中第一氧化物層 44 與第二氧化物層 48 之氧化物為二氧化矽(SiO₂)，而電荷儲存層 46 之材料為氮化矽(Si₃N₄)，因此在基底 40 上形成一 ONO 層結構之閘介電層 42。

然後，如第 3C 圖中所示，由閘介電層 42 上面進行異質元素的植入，在上述電荷儲存層 42 為氮化矽的情況下，可以利用(Ge)、矽(Si)、氮(N₂)、氧(O₂)、氮(N)、氧(O)等個別或任何混合比例、或是具以上元素的綜合異質元素(即合成物)，來製造更深的電子陷阱密度，讓電子能夠更穩定地儲存在電荷儲存層 46 中而達到有效的提高電子陷阱密度，且在異質元素的作用下可大幅降低兩側不同位元結合的情形，如此可使電荷儲存層 46 可以有效延長保存時間，及有效的解決位元結合的問題。

上述電荷儲存層 46 並不限定使用氮化矽，例如氧化鋁(Al₂O₃)亦可為使用，只要配合適當的異質元素，使電子能夠更穩定地儲存在電荷儲存層 46 即可達到本發明之效果。

另外，對於經由異質元素佈值來增加電子陷阱密度，該等異質顆粒徑度的最小值即為原子的大小(~0.3 奈米)，因此本發明亦應用在製造奈米級的快閃記憶體元件上。

由於閘介電質層 42 最上面氧化物層 48 在經由異質元素佈值後，其品質會被破壞，在氧化物層中造成缺陷(defect)，使得儲存在電荷儲存層 46 中的電子會經由最上面氧化物層 48 流失，因此，在第 3D 圖中我們可將經異質元素佈值後的最上面氧化物層 48 先行移除，接著再成長一個高品質的最上面氧化物 50，來改善電子流失的現象。

最後，在第3E圖中，在閘介電質層42上端再形成一閘極層52，並接著在閘介電質層42兩側之基底40內分別形成一源極S與一汲極D，即完成本發明非揮發性記憶體之製造。

在如上述第 3A~3E 圖所示步驟，所製造之非揮發性記憶體，具有以下優點：

- (1)電荷儲存層之經異質元素佈值後，可提高電子陷阱密度，使電子更能夠更穩定地儲存在電荷儲存層中，因此可以有效延長電荷儲存層保存時間，並有效的解決位元結合之問題。
- (2)最上面氧化物層在最後重新再形成，可以有效降低異質元素佈值所對其品質的破壞，而避免電子由最上面氧化物層流失所造成的影響。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖式簡單說明：

第 1 圖是習知一種浮動閘元件方式之非揮發性記憶體結構示意圖；

第 2 圖是習知兩層的捕捉電荷元件方式之非揮發性記憶體結構示意圖；以及

第 3A~3E 圖是依照本發明一較佳實施例的一種較佳實施例的非揮發性記憶體製造方法示意圖。

主要部分之代表符號：

10：浮動閘極

20、40：基底

22、44、48、50：氧化物層

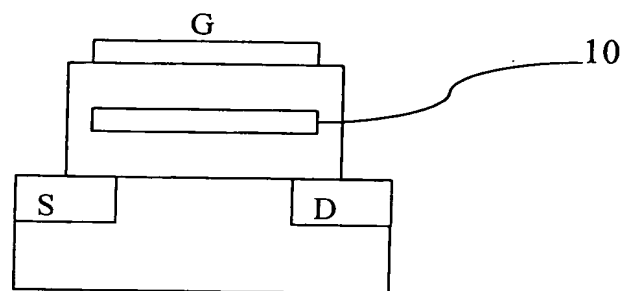
24、46：電荷儲存層

26、42：閘介電層

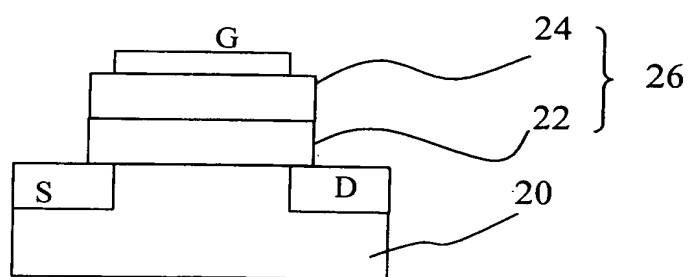
52：閘極層

申請專利範圍

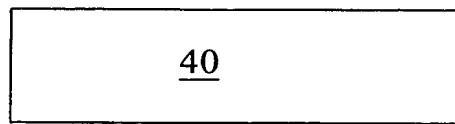
- 1.一種非揮發性記憶體之製造方法，包括下列步驟：
形成一閘介電層於一基底上，該閘介電層具有至少兩層以上之不同材料層；
由該閘介電層上面植入至少一異質元素，以提高該閘介電層之電子陷阱密度；
去除該閘介電層之最上面材料層後，再重新形成新的最上面材料層；以及形成一閘極層於該閘介電層上端，並分別形成一源/汲極於該閘介電層兩側之基底內。
- 2.如申請專利範圍第 1 項所述之非揮發性記憶體之製造方法，其中該閘介電層係為三層材料層，由下而上依序形成一第一氧化物層、一氮化物層以及一第二氧化物層。
- 3.如申請專利範圍第 1 項所述之非揮發性記憶體之製造方法，其中該異質元素係使用(Ge)、矽(Si)、氮(N₂)、氧(O₂)、氮(N)、氧(O)之任一種或多種混合。
- 4.如申請專利範圍第 1 項所述之非揮發性記憶體之製造方法，其中該異質元素係為使用鍺(Ge)、矽(Si)、氮(N)、氧(O)之合成物。
- 5.一種非揮發性記憶體之製造方法，包括下列步驟：
形成一閘介電層於一基底上，該閘介電層具有至少兩層以上之不同材料層；
由該閘介電層上面植入至少一異質元素，以提高該閘介電層之電子陷阱密度；以及
形成一閘極層於該閘介電層上端，並形成一源/汲極於該閘介電層兩側之基底內。
- 6.如申請專利範圍第 5 項所述之非揮發性記憶體之製造方法，其中該閘介電層係為三層材料層，由下而上依序形成一第一氧化物層、一氮化物層以及一第二氧化物層。
- 7.如申請專利範圍第 5 項所述之非揮發性記憶體之製造方法，其中該異質元素係使用(Ge)、矽(Si)、氮(N₂)、氧(O₂)、氮(N)、氧(O)之任一種或多種混合。
- 8.如申請專利範圍第 5 項所述之非揮發性記憶體之製造方法，其中該異質元素係為使用鍺(Ge)、矽(Si)、氮(N)、氧(O)之合成物。
- 9.如申請專利範圍第 5 項所述之非揮發性記憶體之製造方法，其中該閘介電層係為二層材料層，由下而上依序形成一氧化物層與一電荷儲存層。
- 10.如申請專利範圍第 9 項所述之非揮發性記憶體之製造方法，其中該電荷儲存層係為氮化矽與氧化鋁二者擇一。
- 11.一種非揮發性記憶體結構，包括：
一基底；
一閘介電層，位於該基底上，該閘介電層內具有提高其電子陷阱密度之至少一異質元素；
一閘極層，位於於該閘介電層上端；以及
一源/汲極，分別位於該閘介電層兩側之基底內。
- 12.如申請專利範圍第 11 項所述之揮發性記憶體結構，其中該閘介電層由下而上包括一第一氧化物層、一氮化物層以及一第二氧化物層。
- 13.如申請專利範圍第 11 項所述之揮發性記憶體結構，其中該異質元素為(Ge)、矽(Si)、氮(N₂)、氧(O₂)、氮(N)、氧(O)之任一種或多種混合。
- 14.如申請專利範圍第 11 項所述之揮發性記憶體結構，其中該異質元素係為鍺(Ge)、矽(Si)、氮(N)、氧(O)之合成物。



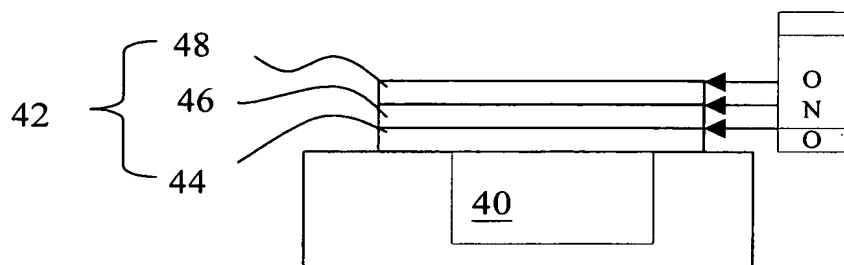
第1圖



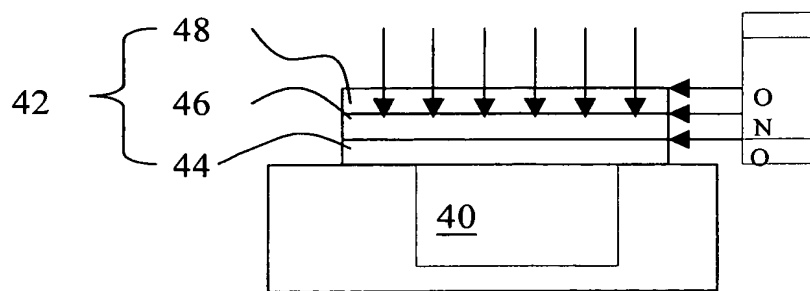
第2圖



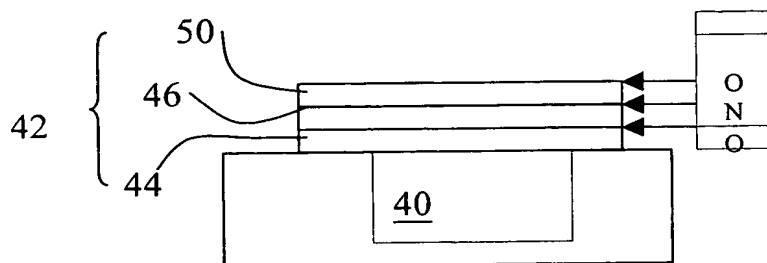
第3A圖



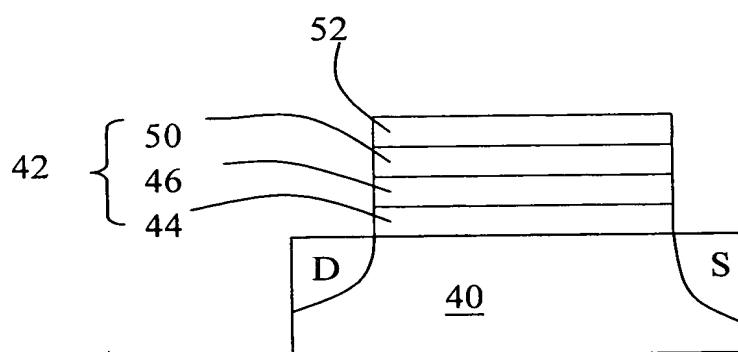
第3B圖



第3C圖



第3D圖



第3E圖